

#4

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Dong Yeung KWAK et al.

GAU: TBA

SERIAL NO: 09/736,334

EXAMINER: TBA

FILED: December 15, 2000

FOR: LIQUID CRYSTAL DISPLAY DEVICE AND FABRICATING METHOD THEREOF

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
KOREA	1999-58746	December 17, 1999

Certified copies of the corresponding Convention Application(s)

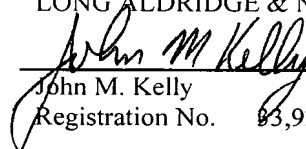
- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

Date: March 28, 2001

LONG ALDRIDGE & NORMAN LLP

Sixth Floor
701 Pennsylvania Avenue, N.W.
Washington, D.C. 20004
Tel. (202) 624-1200
Fax. (202) 624-1298
74233.1


John M. Kelly
Registration No. 83,920

대한민국 특허청

KOREAN INDUSTRIAL PROPERTY OFFICE



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

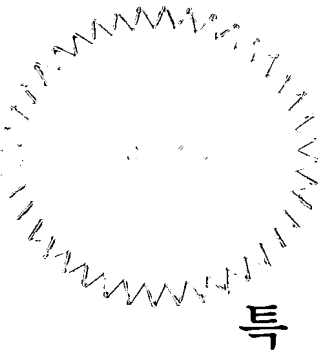
This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 1999년 제 58746 호
Application Number

출원년월일 : 1999년 12월 17일
Date of Application

출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s)

2000 11 01
 년 월 일

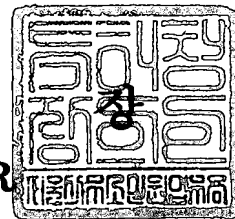


특

허

청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	1999.12.17
【발명의 명칭】	액정표시소자 및 그 제조방법
【발명의 영문명칭】	Liquid Crystal Display Device and Method of Fabricatin the Same
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	1999-001050-4
【발명자】	
【성명의 국문표기】	곽동영
【성명의 영문표기】	KWAK,Dong Yeung
【주민등록번호】	701201-1695819
【우편번호】	704-340
【주소】	대구광역시 달서구 송현동 그린맨션 103동 1108호
【국적】	KR
【발명자】	
【성명의 국문표기】	박광섭
【성명의 영문표기】	PARK,Kwang Seop
【주민등록번호】	720126-1231418
【우편번호】	730-350
【주소】	경상북도 구미시 임수동 401-3번지 엘지엘시디 동락원 기 숙사 비동 7 12
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사 를 청구합니다. 대리인 김영호 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	23	면	23,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	10	항	429,000	원
【합계】	481,000			원

【요약서】**【요약】**

본 발명은 상판과 하판의 합착시 실링재와 하판간의 접착력이 향상되도록 한 액정 표시소자 및 그 제조방법에 관한 것이다.

본 발명에서는 링크 전극들 사이의 영역에서 게이트 절연막의 상부 및 하부 영역 중 어느 한 영역에 에치 스톱퍼 패턴을 형성하고, 에치 스톱퍼 패턴이 형성된 링크 전극들 사이의 영역을 에칭하여 홀을 형성한 다음, 홀을 통하여 실링부에 도포되는 실링재를 에치 스톱퍼 패턴 및 에치 스톱퍼 패턴 하부의 게이트 절연막 중 어느 하나에 접촉시킨다.

본 발명에 의하면, 링크 전극들 사이에 형성된 금속 패턴이나 반도체 패턴이 드라이 에칭시 에치 스톱퍼로 작용함으로써 하부기판의 노출 및 게이트 절연막의 언더컷 발생을 방지하게 된다. 아울러, 금속 패턴이나 게이트 절연막이 홀을 통해 실링재에 접촉됨으로써 실링부와 하판의 접합력이 크게 향상된다.

【대표도】

도 11

【명세서】

【발명의 명칭】

액정표시소자 및 그 제조방법{Liquid Crystal Display Device and Method of Fabricating the Same}

【도면의 간단한 설명】

도 1은 일반적인 액정패널의 구조를 개략적으로 나타낸 평면도.

도 2는 도 1에서 데이터 링크와 실링부의 교차 부분을 확대하여 나타낸 평면도.

도 3a는 도 2에서 A-A' 선을 따라 절단한 액정패널의 수직 단면 구조를 도시한 단면도.

도 3b는 도 2에서 B-B' 선을 따라 절단한 액정패널의 수직 단면 구조를 도시한 단면도.

도 4는 도 1에서 실링부와 교차하는 게이트 링크부의 일부분을 확대하여 나타낸 평면도.

도 5a는 도 4에서 A-A' 선을 따라 절단한 액정패널의 수직 단면 구조를 도시한 단면도.

도 5b는 도 4에서 B-B' 선을 따라 절단한 액정패널의 수직 단면 구조를 도시한 단면도.

도 6은 데이터 링크와 실링부가 교차되는 부분에서 데이터 링크들 사이에 홀을 형성시킨 액정패널의 평면 구조를 도시한 도면.

도 7은 도 6에 도시된 홀의 형성시 하판 상의 유기 보호막과 게이트 절연막을 모두 에칭하는 경우에 있어서, 도 6의 A-A' 선을 따라 절단한 액정패널의 단면의 구조를 도시한 단면도.

도 8은 게이트 링크와 실링부가 교차되는 부분에서 게이트 링크들 사이에 홀을 형성시킨 액정패널의 평면 구조를 도시한 도면.

도 9는 도 8에 도시된 홀의 형성시 하판 상의 유기 보호막과 게이트 절연막을 모두 에칭하는 경우에 있어서, 도 8의 B-B' 선을 따라 절단한 액정패널의 단면의 구조를 도시한 단면도.

도 10은 본 발명의 제 1 실시 예에 따른 액정표시소자에서 실링부와 교차하는 데이터 링크부를 확대하여 도시한 평면도.

도 11은 도 10에서 A-A' 선을 따라 절단한 액정패널의 단면 구조를 도시한 단면도.

도 12는 본 발명의 제 1 실시 예에 따른 액정표시소자에서 실링부와 교차하는 게이트 링크부를 확대하여 도시한 평면도.

도 13은 도 12에서 A-A' 선을 따라 절단한 액정패널의 단면 구조를 도시한 단면도.

도 14는 본 발명의 제 2 실시 예에 따른 액정표시소자에서 실링부와 교차하는 데이터 링크부를 확대하여 도시한 평면도.

도 15는 도 14에서 A-A' 선을 따라 절단한 액정패널의 단면 구조를 도시한 단면도.

도 16은 본 발명의 제 2 실시 예에 따른 액정표시소자에서 실링부와 교차하는 게이트 링크부를 확대하여 도시한 평면도.

도 17은 도 16에서 A-A' 선을 따라 절단한 액정패널의 단면 구조를 도시한 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

2 : 액정패널 4,70 : 하판
6,80 : 상판 8 : 화상표시부
10,54 : 실링부 11 : 게이트 라인
12,90 : 게이트 패드 13 : 데이터 라인
14,50 : 데이터 패드 16,52 : 데이터 링크
17,60,98 : 투명전극 18,76 : 반도체층
19,58,96 : 컨택홀 20,72 : 하부유리기판
22,74 : 게이트 절연막 24,78 : 유기 보호막
26,86 : 공통 투명전극 28,84 : 컬러필터 및 블랙 매트릭스
30,82 : 상부유리기판 32 : 액정
34,92 : 게이트 링크 56,94 : 홀
88 : 언더컷 89,99 : 금속 패턴
100 : 반도체 패턴

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<34> 본 발명은 액정표시소자 및 그 제조방법에 관한 것으로, 특히 상판과 하판의 합착

시 실링재와 하판간의 접착력이 향상되도록 한 액정표시소자 및 그 제조방법에 관한 것이다.

<35> 통상, 액정표시소자(Liquid Crystal Display Device : LCD)는 매트릭스 형태로 배열된 액정셀들의 광투과율을 비디오신호로써 조절함으로써 비디오신호에 해당하는 화상을 표시하게 된다. 이를 위하여, 액정표시소자는 액정셀들이 액티브 매트릭스(Active Matrix) 형태로 배열된 액정패널과, 액정셀들을 구동하기 위한 구동 집적회로(Integrated Circuit; 이하, 'IC'라 함)들을 구비한다. 구동 IC들은 통상 칩(Chip) 형태로 제작된다. 이러한 구동 IC 칩들은 탭(TAB; Tape Automated Bonding) 방식으로 접속될 경우 액정패널 외곽에 부착되는 테이프 캐리어 팩키지(Tape Carrier Package : 이하 'TCP'라 함) 필름에 실장되고, COG(Chips On Glass) 방식인 경우에는 액정패널 상의 가장 자리를 따라 실장되게 된다. TAB 방식인 경우 구동 IC들은 TCP에 의해 액정패널의 가장 자리를 따라 형성된 패드부와 전기적으로 접속되어진다. 여기서 패드부는 액정패널 내의 액정셀들 각각에 접속되는 전극라인들에 접속되게 되어, 구동 IC들로부터 발생한 구동신호들이 각각의 액정셀에 공급되도록 하고 있다.

<36> 도 1을 참조하면, 일반적인 액정패널의 평면 구조를 개략적으로 나타낸 도면이 도시되어 있다. 도 1에서 액정패널(2)은 하판(4)과 상판(6)이 평행하게 대향하도록 접합된 구조로서, 액정셀들이 매트릭스 형태로 배열된 화상표시부(8)와, 도면에 도시되지 않은 구동 IC들과 화상표시부(8) 사이에 접속되는 게이트 패드(12) 및 데이터 패드(14)와, 게이트 패드(12) 및 데이터 패드(14)를 화상표시부(8)에 접속시키는 게이트 링크(34) 및 데이터 링크(16)와, 하판(4)과 상판(6)을 접합시키기 위해 화상표시부(8)의 외곽 테두리에 형성되는 실링부(10)를 포함하게 된다. 화상표시부(8)에 있어서, 하판(4)에는 데

이터 패드(14) 및 데이터 링크(16)를 경유하여 비디오신호가 인가되는 다수의 데이터 라인(13)들과, 게이트 패드(12) 및 게이트 링크(34)를 경유하여 주사신호가 인가되는 다수의 게이트 라인(11)들이 상호 교차되도록 배치된다. 그 교차부들마다 액정셀들이 위치하게 되고, 각 액정셀들에는 데이터 신호의 인가 여부를 스위칭하기 위한 박막 트랜지스터(Thin Film Transistor : 이하 'TFT'라 함)와, TFT에 접속되어 액정셀을 구동하는 화소전극이 형성되어진다. 상판(6)에는 블랙 매트릭스에 의해 액정셀 별로 분리되어 형성된 적, 녹, 청색의 컬러필터들과, 컬러필터들의 표면에 형성된 공통 투명전극이 포함되어 있다. 이러한 상/하판(6,4)은 스페이서(Spacer)에 의해 일정 간격 이격됨으로써 그 사이에 셀 갭(Gap)이 마련된다. 이 셀 갭 영역은 상판(6)과 하판(4)의 합착시 액정이 주입될 액정층을 형성하게 된다. 상판(6)과 하판(4)은 화상표시부(8) 외곽의 실링부(10)에 도포된 실링재(Sealant)에 의해 접합된다. 스페이서에 의해 이격된 상판(6)과 하판(4) 사이의 액정층에는 액정이 주입된 후 봉지된다. 게이트 패드(12)와 데이터 패드(14)는 상판(6)과 중첩되지 않는 하판(4)의 가장자리 영역에 형성된다. 이 게이트 패드(12)는 TCP 필름 내의 배선 라인을 통해 게이트 구동 IC로부터 공급되는 주사 신호를 게이트 링크(34)를 경유하여 화상표시부(8)의 게이트라인(11)들에 공급한다. 데이터 패드(14)는 데이터 구동 IC로부터 공급되는 비디오 데이터 신호를 데이터 링크(16)를 경유하여 화상표시부(8)의 데이터라인(13)들에 공급한다.

<37> 이러한 구조를 갖는 액정패널(2)에서 하판(6)에는 액정으로부터 금속전극라인과 박막 트랜지스터를 보호하기 위한 보호막이 전면 도포되어 있다. 이 보호막 위에는 콘택홀을 통해 액정셀의 박막 트랜지스터에 접속되는 화소전극이 액정셀 별로 형성되게 된다. 화소전극은 인듐 틴 옥사이드(Indium Tin Oxide; 이하 'ITO'라 함)로 이루어진 투

명전극으로서 액정 물질에 대해 비교적 강한 내구적 특성을 나타낸다. 종래에는 보호막으로서 SiNx , SiO_x 와 같은 무기 절연막을 주로 이용하였다. 하지만 종래의 액정패널에서는 무기 보호막의 유전율이 크기 때문에 무기 보호막을 사이에 둔 화소전극과 데이터라인(13) 간에 형성된 기생 커패시터에 의한 커플링 효과가 증가되는 문제점을 가지고 있었다. 이로 인해 무기 보호막을 사용하는 경우에는 이러한 커플링 효과를 최소화하기 위하여 화소전극과 데이터라인(13)이 중첩되지 않도록 비교적 긴 간격, 예컨대 $3\sim 5\mu\text{m}$ 의 간격을 유지해야만 하였다. 이에 따라, 종래의 액정패널에서는 액정층에 전압을 인가하는 화소전극의 면적을 되도록 좁게 형성하여야만 하였고, 화소전극의 면적에 따라 좌우되는 액정셀의 개구율이 그 만큼 낮아질 수 밖에 없었다. 이러한 문제를 해결하기 위하여, 최근에는 BCB(Benzocyclobutene), SOG(Spin On Glass), Acryl 등과 같이 비교적 유전율이 낮은 유기 물질을 보호막 재료로 이용하게 되었다. 이러한 유기 보호막은 약 2.7 정도의 낮은 유전율을 가짐에 따라 화소전극과 데이터라인을 어느 정도 중첩시키는 것이 가능해졌고, 이에 따라 그 만큼 화소전극의 면적을 넓힘으로써 액정셀의 개구율을 향상시킬 수 있게 되었다.

<38> 유기 보호막을 적용한 고개구율 액정표시소자에서는 실링부(10)에 도포되는 실링재를 이용하여 상판(6)과 하판(4)을 합착하는 과정에 있어서, 실링재가 하판(4)의 유기 보호막과 접촉되게 된다. 그런데, 에폭시 수지 등이 주로 이용되는 실링재는 유리 및 종래의 무기 보호막과는 강한 접착 특성을 갖는 반면에 유기 보호막과는 약한 접착 특성을 가지고 있다. 이로 인하여, 유기 보호막을 적용한 고개구율 액정표시소자에서는 액정패널에 충격이 가해졌을 경우 실링재와 유기 보호막 간의 접착력이 양호하지 않은 실링부(10)를 통해 액정이 누수되는 문제점이 초래되고 있다. 아울러 유기 보호막은 그 하

부에 형성된 게이트 절연막과도 양호하지 않은 접착 특성을 가지고 있다. 이에 따라 작은 충격에도 유기 보호막과 게이트 절연막 사이에서 쉽게 균열이 발생하여 유기 보호막이 들뜨거나 액정이 누수되는 등의 문제가 초래되고 있다. 이하, 첨부도면을 참조하여 상기 액정표시소자의 문제점을 상세히 살펴보기로 한다.

<39> 도 2는 도 1에서 데이터 링크와 실링부의 교차 부분을 확대하여 도시한 평면도이다. 도 2에서 데이터 링크(16)는 데이터 패드(14) 및 화상표시부(8)의 데이터 라인(13)이 형성될 때 함께 형성된다. 데이터 링크(16)의 하부에는 반도체층(18)이 데이터 라인(13)으로부터 데이터 패드(14)까지 연장되어 형성된다. 실링재가 도포되는 실링부(10)는 유기 보호막 상에서 데이터 링크(16)를 가로지르는 방향으로 형성된다. 데이터 패드(14)는 유기 보호막에 형성되는 컨택홀(19)을 통해 유기 보호막 상의 투명전극(17)에 접속된다. TCP 필름에 실장된 데이터 드라이버 IC에 접속되는 투명전극(17)은 TAB 과정에서 요구되는 TCP 필름의 접착 과정 반복 시에 데이터 패드(14)인 금속전극을 보호함과 아울러 금속전극의 산화를 방지하는 역할을 한다.

<40> 도 3a는 도 2에서 A-A' 선을 따라 절단한 액정패널의 수직 단면을 도시하고, 도 3b는 B-B' 선을 따라 절단한 액정패널의 수직 단면을 도시한다. 도 3a 및 도 3b에서 하판(4)은 하부유리기판(20) 상에 게이트 절연막(22), 반도체층(18) 및 데이터 링크(16)가 적층되어 형성되고, 그 위에 유기 보호막(24)이 전면 도포된 구조를 갖는다. 상판(6)은 상부유리기판(30)의 배면에 컬러필터 및 블랙 매트릭스(28)가 형성되고, 그 위에 공통 투명전극(26)이 전면 형성된 구조를 갖는다. 이러한 하판(4)과 상판(6)은 실링부(10)에 도포된 실링재에 의해 합착된다. 이 경우, 실링부(10)의 실링재가 유기 보호막(24)에 접촉됨으로 인하여 약한 접착력을 갖게 된다. 아울러, 유기 보호막(24)은 그 하부에 무

기 물질로 형성된 게이트 절연막(22)과도 접착 특성이 취약하여 외부 충격에 의해 균열이 발생하는 경우 유기 보호막(24)이 들뜨거나 액정(32)이 누출되는 현상이 초래된다. 도 3b에서 실링부(10)의 안쪽은 화상표시부(8)로서 액정(32)이 주입되어 있다.

<41> 도 4는 도 1에서 실링부와 교차하는 게이트 링크의 일부분을 확대하여 도시한 평면도이다. 도 4에서 게이트 링크(34)는 게이트 패드(12) 및 화상표시부(8)의 게이트라인(11)이 형성될 때 함께 형성된다. 게이트 패드(12)는 게이트 절연막과 유기 보호막에 형성된 컨택홀(19)을 통해 투명전극(17)에 접속된다. 실링재가 도포되는 실링부(10)는 게이트 링크(34)와 교차하는 방향으로 형성된다.

<42> 도 5a는 도 4에서 A-A' 선을 따라 절단한 액정패널의 수직 단면을 도시하고, 도 5b는 B-B' 선을 따라 절단한 액정패널의 수직 단면을 도시한다. 도 5a 및 도 5b에서 하판(4)은 하부유리기판(20) 상에 게이트 링크(34)와 게이트 절연층(22)이 순차적으로 적층되고, 그 위에 유기 보호막(24)이 전면 도포된 구조를 갖는다. 상판(6)은 상부유리기판(30) 상에 컬러필터 및 블랙 매트릭스(28)가 형성되고, 그 위에 공통 투명전극(26)이 전면 형성된 구조를 갖는다. 하판(4)과 상판(6)은 실링부(10)에 도포된 실링재에 의해 합착된다. 이 경우, 실링부(10)의 실링재가 유기 보호막(24)에 접촉됨으로 인하여 약한 접착력을 갖게 된다.

<43> 결과적으로, 종래의 유기 보호막이 적용된 고개구율 액정패널은 실링재와 유기보호막, 그리고 유기보호막과 게이트 절연막 간의 약한 접착력으로 인해 외부 충격이 가해질 경우 균열이 발생하여 액정이 누수되는 문제점이 초래되고 있다.

【발명이 이루고자 하는 기술적 과제】

<44> 따라서, 본 발명의 목적은 상판과 하판의 합착시 실링재와 하판간의 접착력이 향상 되도록 한 액정표시소자 및 그 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

<45> 상기 목적을 달성하기 위하여 본 발명의 액정표시소자는 링크 전극들 사이에 형성된 유기 보호막을 에칭하여 형성된 홀과, 유기 보호막의 에칭시 에치 스톱퍼로 이용하기 위해 링크 전극들 사이의 유기 보호막 하부에 형성된 스톱퍼 패턴을 구비하고, 실링부에 도포되는 실링재가 홀을 통하여 게이트 절연막과 스톱퍼 패턴 중 어느 하나에 접촉되도록 한 것을 특징으로 한다.

<46> 본 발명에 따른 액정표시소자의 제조방법은 링크 전극들 사이의 영역에서 게이트 절연막의 상부 및 하부 영역 중 어느 한 영역에 에치 스톱퍼 패턴을 형성하는 단계와, 에치 스톱퍼 패턴이 형성된 링크 전극들 사이의 영역을 에칭하여 홀을 형성하는 단계와, 홀을 통하여 실링부에 도포되는 실링재를 에치 스톱퍼 패턴 및 에치 스톱퍼 패턴 하부의 게이트 절연막 중 어느 하나에 접촉시키는 단계를 포함한다.

<47> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<48> 이하, 도 6 내지 도 17을 참조하여 본 발명의 바람직한 실시 예들에 대하여 설명하기로 한다.

<49> 본 발명에서는 실링부와 접하는 데이터 링크들 사이의 유기 보호막에 홀을 형성시

켜 실링부의 실링재가 유기 보호막이 아닌 무기 물질로 된 게이트 절연막이나 하부유리기판에 접촉되게끔 한다. 아울러 실링부와 접하는 게이트 링크들 사이의 유기 보호막에도 홀을 형성시켜 실링재가 게이트 절연막이나 하부유리기판에 접촉되게끔 한다. 이와 같이 링크들 사이에 홀이 형성된 링크부의 평면 및 단면 구조를 나타낸 도면이 도 6 내지 도 9에 도시되어 있다. 도 6 내지 도 9는 특히 실링부에 접하는 링크들 사이의 유기 보호막과 게이트 절연막을 드라이 에칭 방식으로 모두 제거하여 실링재가 하부유리기판에 접촉되도록 한 경우에 해당된다.

<50> 데이터 링크와 실링부가 교차되는 부분의 평면 구조를 도시한 도 6을 참조하면, 데이터 링크(52)와 실링부(54)가 교차되는 부분에서 데이터 링크(52) 사이의 영역에 형성된 홀(56)들을 구비한다. 그 밖의 다른 구성 및 특징들은 종래의 구조와 동일하다. 도 7은 도 6에서 A-A' 선을 따라 절단한 단면의 구조를 도시한 도면이다. 데이터 링크(52)들 사이에 형성된 홀(56)은 도 7의 단면도에 도시되는 바와 같이 하판(70) 상의 하부유리기판(72)이 드러나게끔 유기 보호막(78)과 게이트 절연막(74)을 모두 제거하여 형성하게 된다. 이러한 홀(56)은 패널 외곽 영역에 형성되는 에칭 포인트 검출 윈도우(Etching Point Detective Window : 이하 'EPD 윈도우'라 함)를 이용하여 실제 액정패널 내의 유기 보호막(78)과 게이트 절연막(74)의 에칭 두께를 조절해 가면서 드라이 에칭(Dry Etching)함으로써 형성시킨다. 이러한 구조에서 상판(80)과 하판(70)의 합착시에는 실링부(54)에 도포되는 실링재가 하부유리기판(72)과 접촉하게 된다. 에폭시 등의 실링재는 무기 물질인 하부유리기판(72)과의 접착력이 종래의 유기 보호막(78)에 접촉된 경우에 비해 뛰어나기 때문에 접착력 개선 효과를 얻어낼 수 있게 된다.

<51> 게이트 링크와 실링부가 교차되는 부분의 평면 구조를 도시한 도 8을 참조하면, 게

이트 링크(92)와 실링부(54)가 교차되는 부분에서 게이트 링크(92) 사이의 영역에 홀(94)들이 형성된다. 게이트 링크(92)부에서도 하부유리기판(72) 상에서 게이트 링크(92) 사이에 형성된 유기 보호막(78)과 게이트 절연막(74)을 모두 에칭하여 홀(94)들을 형성한다. 도 9는 도 8에서 B-B' 선을 따라 절단한 단면의 구조를 도시한 도면이다. 홀(94)들에서는 하부유리기판(72)이 드러나 상판(80)과 하판(70)의 합착시 실링부(54)에 도포되는 실링재가 하부유리기판(72)에 접촉되게 된다. 게이트 링크(92)들 사이의 홀(94) 역시 패널 외곽에 형성되어진 EPD 윈도우를 이용하여 유기 보호막(78)과 게이트 절연막(74)의 에칭 두께를 조절해 가면서 드라이 에칭함으로써 형성된다. 에폭시 수지 등이 사용되는 실링재는 무기 물질인 유리기판(72)과 강한 접착 특성을 갖기 때문에 상판(80)과 하판(70)의 접합 특성이 향상되게 된다.

<52> 하지만, 데이터 링크(52)들 사이나 게이트 링크(92)들 사이에 홀(56,94)을 형성함에 있어서, 유기 보호막(78)과 게이트 절연막(74)을 모두 에칭하여 하부유리기판(72)을 노출시키는 방법에 있어서는 또다른 문제점들이 나타난다. 드라이 에칭시 유기 보호막(78)이 제거되고 난 후에 게이트 절연막(74)이 제거될 때 게이트 절연막(74)의 에칭 종료 시점을 조절하기 어려워 항상 하부유리기판(72)의 일부가 오버에치(Overetch)되는 문제가 발생한다. 드라이 에칭시 오버에치로 인해 하부유리기판(72)의 노출에 의한 기판 스트레스(Stress)가 증가하면서 기판(72)의 파손을 유발하게 된다. 아울러, 도 7 및 도 9에 도시된 바와 같이 게이트 절연막(74)의 에칭시 게이트 절연막(74) 하부의 언더컷(88) 현상으로 인해 미소한 충격에도 접착력이 약화되는 문제와 테이퍼(Taper) 불량 등의 문제가 발생한다.

<53> 그리하여, 본 발명에서는 실링재와 하판의 접착력을 강화시킴과 아울러 상기 언급

한 문제점들을 방지하기 위하여 링크들 사이에 홀을 형성하되 드라이 에칭시 에치 스톱퍼(Etch Stopper)를 이용하여 실링재와의 접착력이 좋지 않은 유기 보호막만을 제거하고, 하부유리기판이 노출되지 않게끔 한다.

<54> 도 10은 본 발명의 제 1 실시 예에 따른 액정표시소자에 있어서, 실링부와 교차하는 데이터 링크부를 나타낸 평면도이다. 그리고, 도 11은 도 10에서 A-A' 선을 따라 절단한 액정패널의 단면 구조를 나타낸 단면도이다. 도 10 및 도 11을 참조하면, 본 발명의 제 1 실시 예에 따른 액정표시소자는 데이터 링크(52)들 사이의 영역에서 하부유리기판(72)과 게이트 절연막(74) 사이에 형성된 금속 패턴(89)과, 상기 금속 패턴(89) 상의 게이트 절연막(74)과 유기 보호막(78)이 제거되어 형성된 홀(56)을 구비한다. 금속 패턴(89)은 하부유리기판(72) 상에 전극 물질을 전면 도포한 후 포토 레지스트 마스크 패턴을 이용하여 게이트 전극, 게이트 라인, 게이트 패드 및 게이트 링크 등을 형성할 때 함께 형성하게 된다. 이 때 금속 패턴(89)의 폭을 그 위에 형성될 홀(56)의 폭보다 넓은 폭으로 여유있게 형성시킴과 아울러 도 10에 도시된 바와 같이 실링부(54)의 외곽 영역까지 연장되도록 형성시킨다. 그 다음 게이트 절연막(74)을 그 위에 전면 증착한 후 금속 패턴(89)을 사이에 두고 반도체층(76) 및 데이터 링크(52)들을 형성하게 된다. 이어서 유기 보호막(78)을 스펀 코팅법 등에 의해 하판(70) 상에 전면 형성시키게 된다.

<55> 본 발명에서는 데이터 링크(52)들 사이에 홀(56)을 형성시키기 위하여 액정패널 외곽에 형성된 EPD 윈도우를 이용한 드라이 에칭 방법으로 데이터 링크(52)들 사이의 유기 보호막(78)과 게이트 절연막(74)을 제거한다. EPD 윈도우는 포토 레지스트 마스크 패턴을 이용한 드라이 에칭 작업시 패널 외곽 영역에서 소정 넓이 이상으로 포토 레지스트 마스크 패턴을 형성하지 않고 하판을 노출시킨 영역으로서, 드라이 에칭시 반응 가스의

검출을 용이하게 하여 실제 액정패널 내에서의 에칭 깊이를 좀 더 명확하게 조절할 수 있도록 한 창을 말한다. 홀(56)이 형성될 유기 보호막(78) 상에도 포토 레지스트 마스크 패턴을 형성시키지 않는다. 실제 에칭 작업시에는 EPD 윈도우에서 발생하는 반응 가스를 검출하여 EPD 윈도우 내의 하부유리기판(72)이 노출되게끔 게이트 절연막(74)까지 에칭한다. 하지만, 실제 액정패널 내에서 데이터 링크(52) 사이에 포토 마스크가 형성되지 않은 홀(56) 형성부에서는 하부유리기판(72) 상에 형성된 금속 패턴(89)이 에치 스톱 역할을 하게 됨으로써 게이트 절연막(74)이 에칭되고난 다음 하부유리기판(72)은 노출되지 않게 된다. 이에 따라, 드라이 에칭시에 기판 스트레스가 증가하는 문제를 방지할 수 있게 되고, 게이트 절연막(74)의 언더컷 현상을 방지할 수 있게 된다. 한편, 홀(56) 형성시에는 실링부(54)의 외곽 영역까지 연장하여 형성시킴으로써 실링재 도포시 홀(56) 내부에서 기포가 발생하는 것을 방지하도록 한다. 본 발명의 제 1 실시 예의 경우에는 실링부(54)에 도포되는 실링재가 홀(56)을 통해 금속 패턴(89)에 접촉되게 된다. 실링재와 금속 패턴(89) 간의 접착력은 실링재와 유기 보호막 간의 접착력보다 우수하기 때문에 상판(80)과 하판(70)의 합착시 실링재와 하판(70)의 접착력이 종래에 비해 크게 향상된다.

<56> 도 12는 본 발명의 제 1 실시 예에 따른 액정표시소자에 있어서, 실링부와

교차하는 게이트 링크부를 나타낸 평면도이다. 그리고, 도 13은 도 12에서 A-A' 선을 따라 절단한 액정패널의 단면 구조를 나타낸 단면도이다. 도 12 및 도 13을 참조하면, 본 발명의 제 1 실시 예에 따른 액정표시소자는 게이트 링크(92)들 사이의 영역에서 게이트 절연막(74)과 유기 보호막(78) 사이에 형성된 금속 패턴(99)과, 상기 금속 패턴(99) 상의 유기 보호막(78)이 제거되어 형성된 홀(94)을 구비한다. 하부유리기판(72) 상에 게이트 링크(92), 게이트 절연막(74) 및 반도체층(76)을 형성하는 과정은 종래의 경우와 동일하다. 그 다음 게이트 절연막(74) 상에서 게이트 링크(92)들 사이의 영역에 금속 패턴(99)을 형성시킨다. 금속 패턴(99)은 반도체층(76)이 형성된 게이트 절연막(74) 상에 전극 물질을 전면 형성한 다음 포토 레지스트 마스크 패턴을 이용하여 데이터 전극, 데이터 라인, 데이터 패드 및 데이터 링크 등을 형성할 때 함께 형성하게 된다. 이 때 금속 패턴(99)의 폭을 그 위에 형성될 홀(94)의 폭보다 넓은 폭으로 여유있게 형성시킴과 아울러 도 12에 도시된 바와 같이 실링부(54)의 외곽 영역까지 연장되도록 형성시킨다. 이어서 유기 보호막(78)을 스펀 코팅법 등에 의해 하판(70) 상에 전면 형성시키게 된다.

<57> 데이터 링크부에 홀을 형성할 때와 마찬가지로 게이트 링크(92)들 사이에 홀(94)을 형성시키기 위하여 액정패널 외곽에 형성된 EPD 윈도우를 이용한 드라이 에칭 방법으로 게이트 링크(92)들 사이의 유기 보호막(78)을 제거한다. 홀(94)이 형성될 유기 보호막(78) 상에는 포토 레지스트 마스크 패턴을 형성시키지 않는다. 실제 에칭 작업시에는 EPD 윈도우에서 발생하는 반응 가스를 검출하여 EPD 윈도우 내의 게이트 절연막(74)이 노출되게끔 유기 보호막(78)을 에칭한다. 하지만, 실제 액정패널 내에서 게이트 링크

(92) 사이의 홀(94) 형성부에서는 게이트 절연막(74) 상에 형성된 금속 패턴(99)이 에칭 스톱퍼 역할을 하게 됨으로써 유기 보호막(78)만이 제거되고, 게이트 절연막(99)은 에칭되지 않게 된다. 이에 따라, 드라이 에칭시에 기판 스트레스가 증가하는 문제를 방지할 수 있게 되고, 게이트 절연막(74)의 언더컷 현상을 방지할 수 있게 된다. 한편, 홀(94) 형성시에는 실링부(54)의 외곽 영역까지 연장하여 형성시킴으로써 실링재 도포시 홀(94) 내부에서 기포가 발생하는 것을 방지하도록 한다. 본 발명의 제 1 실시 예의 경우에는 실링부(54)에 도포되는 실링재가 홀(94)을 통해 게이트 절연막(74) 상의 금속 패턴(99)에 접촉되게 된다. 실링재와 금속 패턴(99) 간의 접착력은 실링재와 유기 보호막(78) 간의 접착력보다 우수하기 때문에 상판(80)과 하판(70)의 합착시 실링재와 하판(70)의 접착력이 종래에 비해 크게 향상된다.

<58> 도 14는 본 발명의 제 2 실시 예에 따른 액정표시소자에 있어서, 실링부와 교차하는 데이터 링크부를 나타낸 평면도이다. 그리고, 도 15는 도 14에서 A-A' 선을 따라 절단한 액정패널의 단면 구조를 나타낸 단면도이다. 도 14 및 도 15를 참조하면, 본 발명의 제 2 실시 예에 따른 액정표시소자는 데이터 링크(52)들 사이의 영역에서 게이트 절연막(74)과 유기 보호막(78) 사이에 형성된 반도체 패턴(100)과, 상기 반도체 패턴(100) 상의 유기 보호막(78)이 제거되어 형성된 홀(56)을 구비한다. 하부유리기판(72) 상에 게이트 링크와 게이트 절연막(74)을 형성하는 과정을 종래의 경우와 동일하다. 데이터 링크(52)들 사이의 반도체 패턴(100)은 게이트 절연막(74) 상에 비정질 실리콘층과 n^+ 비정질 실리콘층을 순

차적으로 전면 형성한 후 포토 레지스트 마스크 패턴을 이용하여 데이터 라인 및 데이터 링크(52)의 하부에 반도체층(76)을 형성할 때 함께 형성하게 된다. 이 때 포토 마스크를 적절히 패터닝하여 반도체 패턴(100)의 폭을 그 위에 형성될 홀(56)의 폭과 같거나 그보다 넓은 폭으로 여유있게 형성시킴과 아울러 도 14에 도시된 바와 같이 실링부(54)의 외곽 영역까지 연장되도록 형성시킨다. 반도체 패턴(100)을 형성한 다음에는 유기 보호막(78)을 스핀 코팅법 등에 의해 하판(70) 상에 전면 형성시키게 된다.

<59> 본 발명의 제 2 실시 예의 경우에서도 데이터 링크(52)들 사이에 홀(56)을 형성시키기 위하여 액정패널 외곽에 형성된 EPD 윈도우를 이용한 드라이 에칭 방법으로 데이터 링크(52)들 사이의 유기 보호막(78) 및 반도체 패턴(100)을 제거한다. 홀(56)이 형성될 유기 보호막(78) 상에는 포토 레지스트 마스크 패턴을 형성시키지 않는다. 실제 에칭 작업시에는 EPD 윈도우에서 발생하는 반응 가스를 검출하여 EPD 윈도우 내의 하부유리기판(72)이 노출되게끔 게이트 절연막(74)까지 에칭한다. 하지만, 실제 액정패널 내에서 데이터 링크(52) 사이의 홀(56) 형성부에서는 게이트 절연막(74) 상에 형성된 반도체 패턴(100)이 에치 스톱퍼 역할을 하게 됨으로써 게이트 절연막(74)의 일부가 항상 잔존하게 된다. 일반적으로 드라이 에칭시의 에칭 속도는 유기 보호막이 제일 빠르고, 그 다음이 무기 절연막이며, 반도체층의 에칭 속도가 가장 느리다. EPD 윈도우 내에서는 반도체 패턴이 형성되어 있지 않으므로 유기 보호막(78)이 빠르게 에칭된 다음 뒤이어 게이트 절연막(74)이 에칭된다. 게이트 절연막(74)이 모두 에칭된 다음에는 하부유리기판(72)이 노출되면서

반응 가스의 검출이 중단되고, 이에 따라 운용자는 드라이 에칭 작업을 중단하게 된다. 하지만, 실제 액정패널 내에서의 에칭 작업은 반도체 패턴(100)이 에치 스톱퍼로 작용함에 따라 에칭이 느리게 이루어지게 된다. 반도체 패턴(100)의 에칭시에 에칭 속도가 격감됨으로써 운용자가 EPD 윈도우에서의 반응 가스를 검출하여 에칭 작업을 종료한 시점에서는 항상 홀(56) 하부에 게이트 절연막(74)이 잔존하게 된다. 이에 따라, 게이트 절연막(74) 하부의 하부유리기판(72)은 노출되지 않게 된다. 이에 따라, 드라이 에칭시에 기판 스트레스가 증가하는 문제를 방지할 수 있게 되고, 게이트 절연막(74) 하부의 언더컷 현상을 방지할 수 있게 된다. 한편, 홀(56) 형성시에는 실링부(54)의 외곽 영역까지 연장하여 형성시킴으로써 실링재 도포시 홀(56) 내부에서 기포가 발생하는 것을 방지하도록 한다. 본 발명의 제 2 실시 예의 경우에는 실링부(54)에 도포되는 실링재가 홀(56)을 통해 잔존한 게이트 절연막(74)에 접촉되게 된다. 실링재와 무기 물질로 된 게이트 절연막(74) 간의 접착력은 실링재와 유기 보호막 간의 접착력보다 우수하기 때문에 상판(80)과 하판(70)의 합착시 실링재와 하판(70)의 접착력이 종래에 비해 크게 향상된다.

<60> 도 16은 본 발명의 제 2 실시 예에 따른 액정표시소자에 있어서, 실링부와 교차하는 게이트 링크부를 나타낸 평면도이다. 그리고, 도 17은 도 16에서 A-A' 선을 따라 절단한 액정패널의 단면 구조를 나타낸 단면도이다. 도 16 및 도 17을 참조하면, 본 발명의 제 2 실시 예에 따른 액정표시소자는 게이트 링크(92)들 사이의 영역에서 게이트 절연막(74)과 유기 보호막(78) 사이에 형성된 반도체 패턴(100)과, 상기 반도체 패턴(100)상의 유기 보호막(78)이 제거되어 형성된

홀(94)을 구비한다. 하부유리기판(72) 상에 게이트 링크(92)와 게이트 절연막(74)을 형성하는 과정을 종래의 경우와 동일하다. 게이트 링크(92)들 사이의 반도체 패턴(100)은 게이트 절연막(74) 상에 비정질 실리콘층과 n+ 비정질 실리콘층을 순차적으로 전면 형성한 후 포토 레지스트 마스크 패턴을 이용하여 데이터 라인 및 데이터 링크(52)의 하부에 반도체층(76)을 형성할 때 함께 형성하게 된다. 이 때 포토 마스크를 적절히 패터닝하여 반도체 패턴(100)의 폭을 그 위에 형성될 홀(94)의 폭과 같거나 그보다 넓은 폭으로 여유있게 형성되도록 함과 아울러 도 16에 도시된 바와 같이 실링부(54)의 외곽 영역까지 연장되도록 형성시킨다.

<61> 게이트 링크(92)들 사이에 홀(94)을 형성시킬 때에도 데이터 링크부의 경우와 마찬가지로 액정패널 외곽에 형성된 EPD 윈도우를 이용한 드라이 에칭 방법으로 게이트 링크(92)들 사이의 유기 보호막(78) 및 반도체 패턴(100)을 제거한다. 실제 에칭 작업 시에는 EPD 윈도우에서 발생하는 반응 가스를 검출하여 EPD 윈도우 내의 하부유리기판(72)이 노출되게끔 게이트 절연막(74)까지 에칭한다. 하지만, 실제 액정패널 내에서 게이트 링크(92) 사이에 포토 마스크가 형성되지 않은 홀(94) 형성부에서는 게이트 절연막(74) 상에 형성된 반도체 패턴(100)이 에치 스톱퍼 역할을 하게 됨으로써 게이트 절연막(74)의 일부가 항상 잔존하게 된다. 이에 따라, 드라이 에칭시 기판(72) 노출에 의해 기판 스트레스가 증가하는 문제를 방지할 수 있게 되고, 게이트 절연막(74) 하부의 언더컷 현상을 방지할 수 있게 된다. 한편, 홀(94) 형성시에는 실링부(54)의 외곽 영역까지 연장하여 형성시킴으로써 실링재 도포시 홀(94) 내부에서 기포가 발생하는 것을 방지하도록 한다. 게이트 링크부에

서도 실링부(54)에 도포되는 실링재가 홀(94)을 통해 잔존한 게이트 절연막(74)에 접촉되게 된다. 실링재와 무기 물질로 된 게이트 절연막(74) 간의 접착력은 실링재와 유기 보호막 간의 접착력보다 우수하기 때문에 상판(80)과 하판(70)의 합착시 실링재와 하판(70)의 접착력이 종래에 비해 크게 향상된다.

【발명의 효과】

- <62> 상술한 바와 같이, 본 발명에 따른 유기 보호막을 적용한 고개구율 액정표시소자는 실링부와 교차하는 데이터 링크 및 게이트 링크들 사이의 영역에서 실링재가 홀을 통해 게이트 절연막의 상부 또는 하부에 형성된 금속 패턴에 접촉되거나 게이트 절연막에 접촉된 구조를 갖는다. 실링재는 금속 패턴이나 무기 물질로 된 게이트 절연막과의 접착력이 뛰어나기 때문에 종래에 비해 실링부와 하판의 접합력을 개선시킬 수 있게 된다.
- <63> 아울러 본 발명에서는 링크들 사이의 영역에서 게이트 절연막의 상부나 하부에 금속 패턴 또는 반도체 패턴을 형성시켜 이를 홀 형성을 위한 드라이 에칭 작업에서 에치 스톱퍼로 이용한다. 이에 따라, 에칭 작업시 하부유리기판이 노출되거나 게이트 절연막의 하부에 언더컷 현상이 발생하는 것을 방지할 수 있게 된다.
- <64> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

액정패널의 상판과 하판을 접합하기 위한 실링부와 교차되는 링크부의 링크 전극들 사이의 영역에서 하부기판 상에 순차적으로 형성된 게이트 절연막과 유기 보호막을 구비하는 액정표시소자에 있어서,

상기 링크 전극들 사이에 형성된 유기 보호막을 에칭하여 형성된 홀과,

상기 유기 보호막의 에칭시 에치 스톱퍼로 이용하기 위해 상기 링크 전극들 사이의 유기 보호막 하부에 형성된 스톱퍼 패턴을 구비하고,

상기 실링부에 도포되는 실링재가 상기 홀을 통하여 상기 게이트 절연막과 상기 스톱퍼 패턴 중 어느 하나에 접촉되도록 한 것을 특징으로 하는 액정표시소자.

【청구항 2】

제 1 항에 있어서,

상기 링크 전극은 외부로부터 데이터 신호를 인가하기 위한 데이터 패드에 접속되는 데이터 링크이고,

상기 스톱퍼 패턴은 상기 게이트 절연막 하부에 게이트 링크가 형성될 때 함께 형성된 금속 패턴이며,

상기 홀의 형성시 상기 금속 패턴 상의 게이트 절연막이 제거되어 상기 실링재가 상기 금속 패턴에 접촉되는 것을 특징으로 하는 액정표시소자.

【청구항 3】

제 1 항에 있어서,

상기 링크 전극은 외부로부터 주사 신호를 인가하기 위한 게이트 패드에 접속되는 게이트 링크이고,

상기 스톱퍼 패턴은 상기 게이트 절연막 상에 데이터 링크가 형성될 때 함께 형성된 금속 패턴이며,

상기 홀의 형성시 상기 금속 패턴 상의 유기 보호막이 제거되어 상기 실링재가 상기 금속 패턴에 접촉되는 것을 특징으로 하는 액정표시소자.

【청구항 4】

제 1 항에 있어서,

상기 링크 전극은 외부로부터 데이터 신호를 인가하기 위한 데이터 패드에 접속되는 데이터 링크이고,

상기 스톱퍼 패턴은 상기 게이트 절연막 상에서 액정셀의 스위치 소자로 사용되는 박막 트랜지스터의 반도체층이 형성될 때 함께 형성되는 반도체 패턴이며,

상기 홀의 형성시 상기 반도체 패턴이 함께 제거되어 상기 실링재가 상기 게이트 절연막에 접촉되는 것을 특징으로 하는 액정표시소자.

【청구항 5】

제 1 항에 있어서,

상기 링크 전극은 외부로부터 주사 신호를 인가하기 위한 게이트 패드에 접속되는 게이트 링크이고,

상기 스톱퍼 패턴은 상기 게이트 절연막 상에서 액정셀의 스위치 소자로 사용되는 박막 트랜지스터의 반도체층이 형성될 때 함께 형성되는 반도체 패턴이며,

상기 홀의 형성시 상기 반도체 패턴이 함께 제거되어 상기 실링재가 상기 게이트 절연막에 접촉되는 것을 특징으로 하는 액정표시소자.

【청구항 6】

액정패널의 상판과 하판을 접합하기 위한 실링부와 교차되는 링크부의 링크 전극들 사이의 영역에서 하부기판 상에 순차적으로 형성된 게이트 절연막과 유기 보호막을 구비하는 액정표시소자의 제조방법에 있어서,

상기 링크 전극들 사이의 영역에서 상기 게이트 절연막의 상부 및 하부 영역 중 어느 한 영역에 에치 스톱퍼 패턴을 형성하는 단계와,

상기 에치 스톱퍼 패턴이 형성된 상기 링크 전극들 사이의 영역을 에칭하여 홀을 형성하는 단계와,

상기 홀을 통하여 상기 실링부에 도포되는 실링재를 상기 에치 스톱퍼 패턴 및 상기 에치 스톱퍼 패턴 하부의 상기 게이트 절연막 중 어느 하나에 접촉시키는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

【청구항 7】

제 6 항에 있어서,

상기 링크 전극은 외부로부터 데이터 신호를 인가하기 위한 데이터 패드에 접속되는 데이터 링크이고,

상기 에치 스톱퍼 패턴은 상기 게이트 절연막 하부에 게이트 링크가 형성될 때 함께 형성된 금속 패턴이며,

상기 홀의 형성시 상기 금속 패턴 상의 유기 보호막과 게이트 절연막이 제거되어

상기 실링재가 상기 금속 패턴에 접촉되는 것을 특징으로 하는 액정표시소자의 제조방법

【청구항 8】

제 6 항에 있어서,

상기 링크 전극은 외부로부터 주사 신호를 인가하기 위한 게이트 패드에 접속되는 게이트 링크이고,

상기 에치 스톱퍼 패턴은 상기 게이트 절연막 상에 데이터 링크가 형성될 때 함께 형성된 금속 패턴이며,

상기 홀의 형성시 상기 금속 패턴 상의 유기 보호막이 제거되어 상기 실링재가 상기 금속 패턴에 접촉되는 것을 특징으로 하는 액정표시소자의 제조방법.

【청구항 9】

제 6 항에 있어서,

상기 링크 전극은 외부로부터 데이터 신호를 인가하기 위한 데이터 패드에 접속되는 데이터 링크이고,

상기 에치 스톱퍼 패턴은 상기 게이트 절연막 상에서 액정셀의 스위치 소자로 사용되는 박막 트랜지스터의 반도체층이 형성될 때 함께 형성되는 반도체 패턴이며,

상기 홀의 형성시 상기 유기 보호막 및 상기 반도체 패턴이 함께 제거되어 상기 실링재가 상기 게이트 절연막에 접촉되는 것을 특징으로 하는 액정표시소자의 제조방법.

【청구항 10】

제 6 항에 있어서,

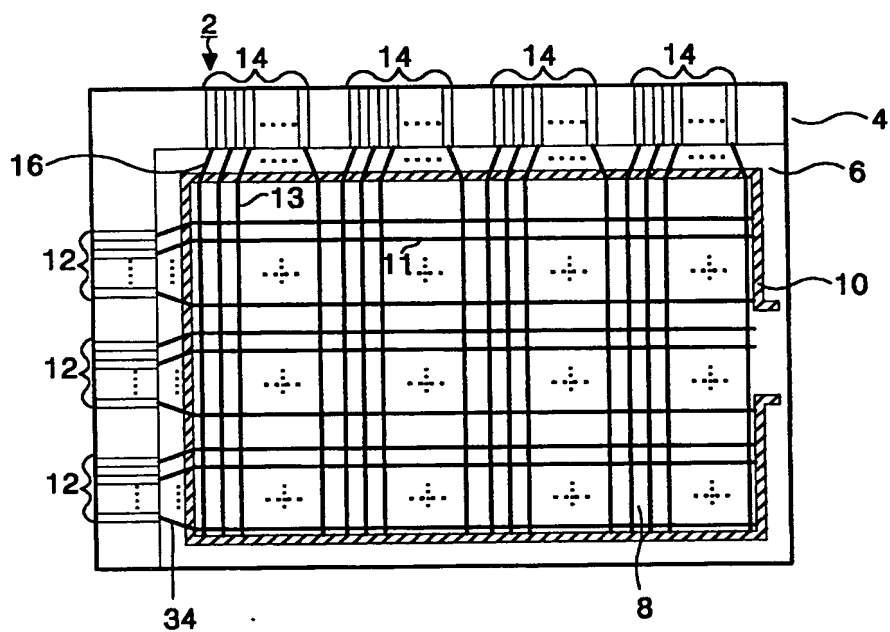
상기 링크 전극은 외부로부터 주사 신호를 인가하기 위한 게이트 패드에 접속되는 게이트 링크이고,

상기 에치 스톱퍼 패턴은 상기 게이트 절연막 상에서 액정셀의 스위치 소자로 사용되는 박막 트랜지스터의 반도체층이 형성될 때 함께 형성되는 반도체 패턴이며,

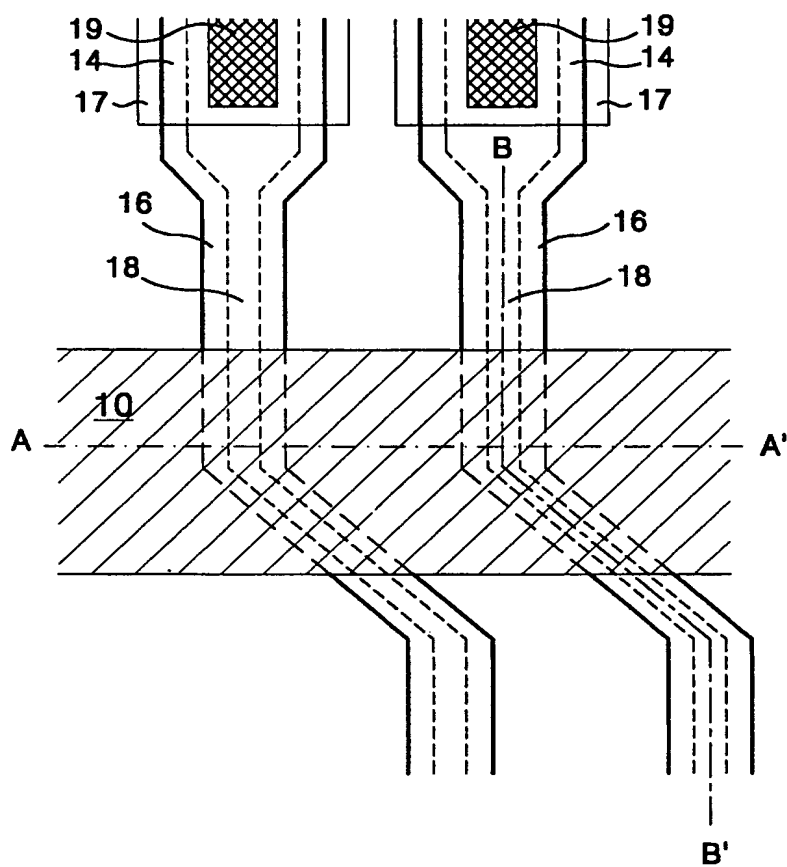
상기 홀의 형성시 상기 유기 보호막과 상기 반도체 패턴이 함께 제거되어 상기 실링재가 상기 게이트 절연막에 접촉되는 것을 특징으로 하는 액정표시소자의 제조방법.

【도면】

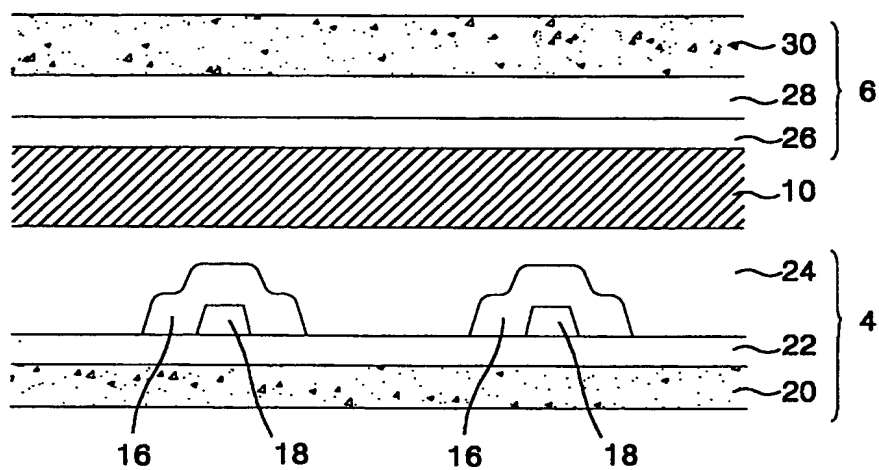
【도 1】



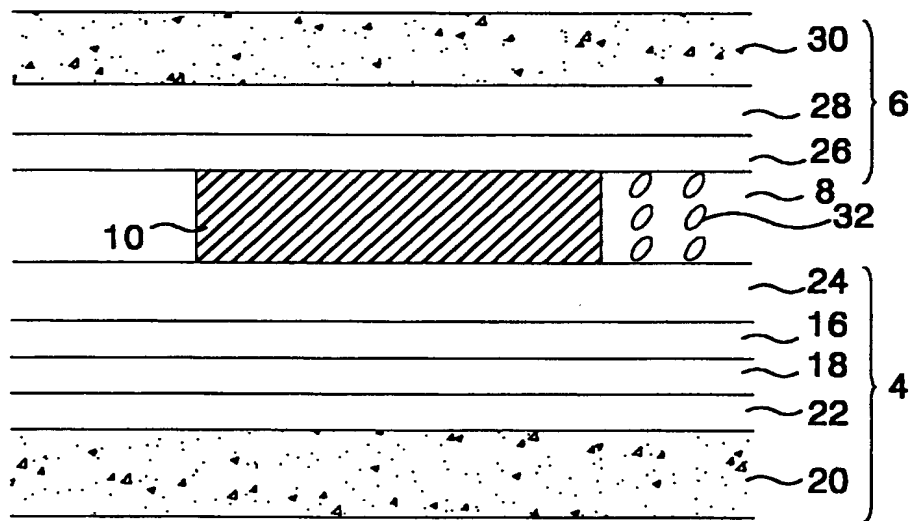
【図 2】



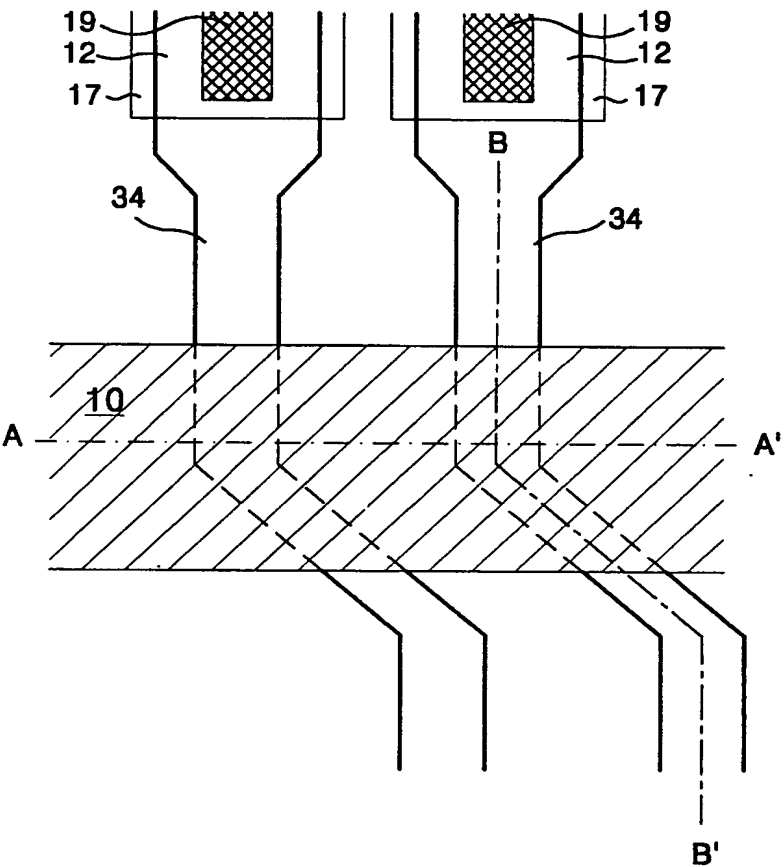
【도 3a】



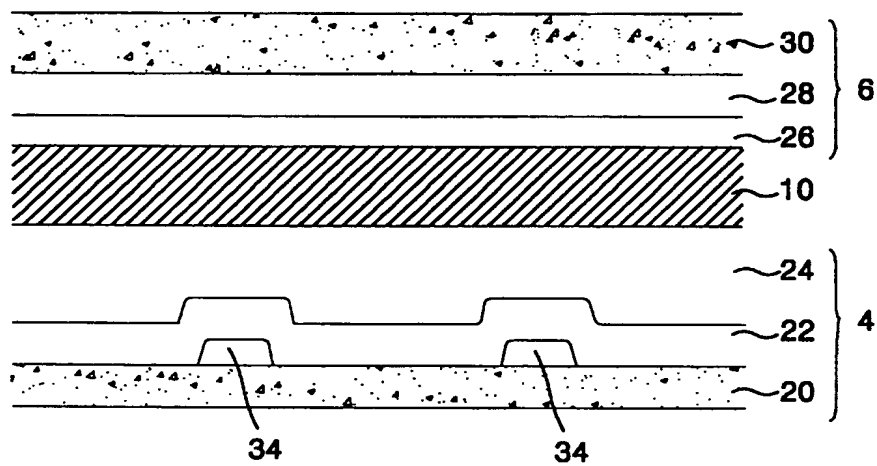
【도 3b】



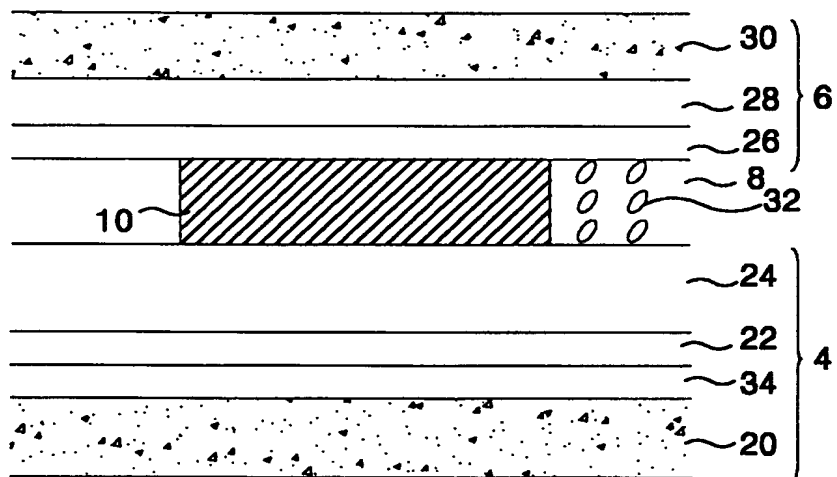
【図 4】



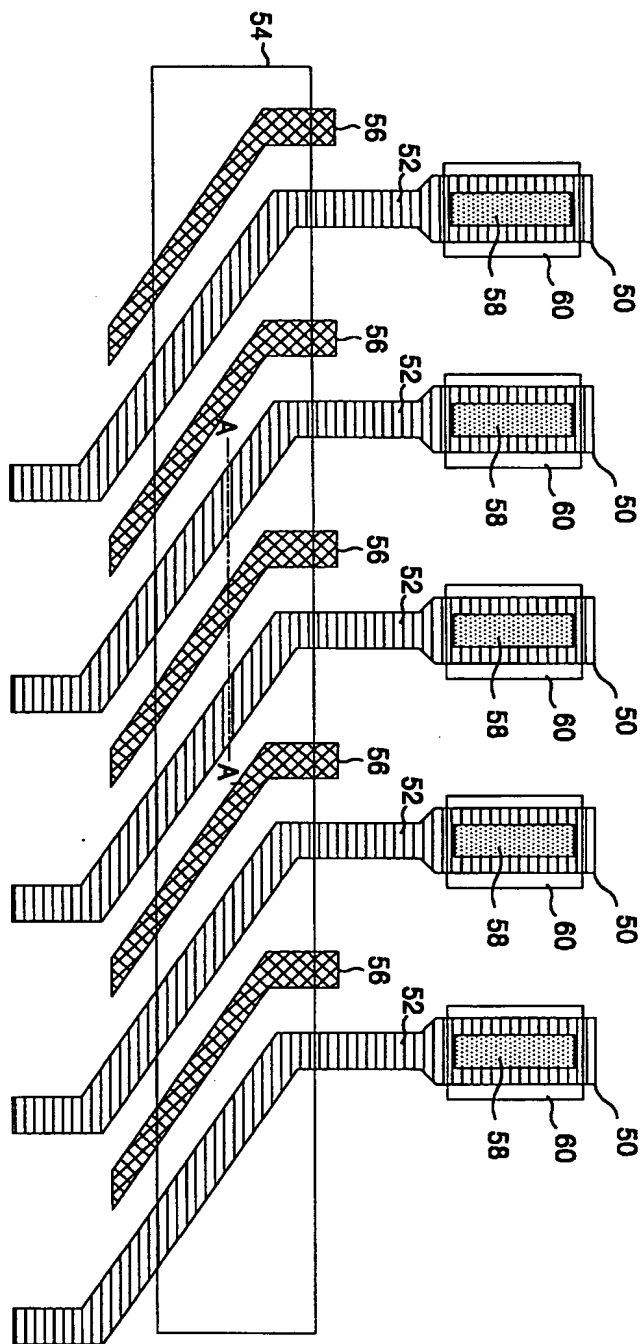
【도 5a】



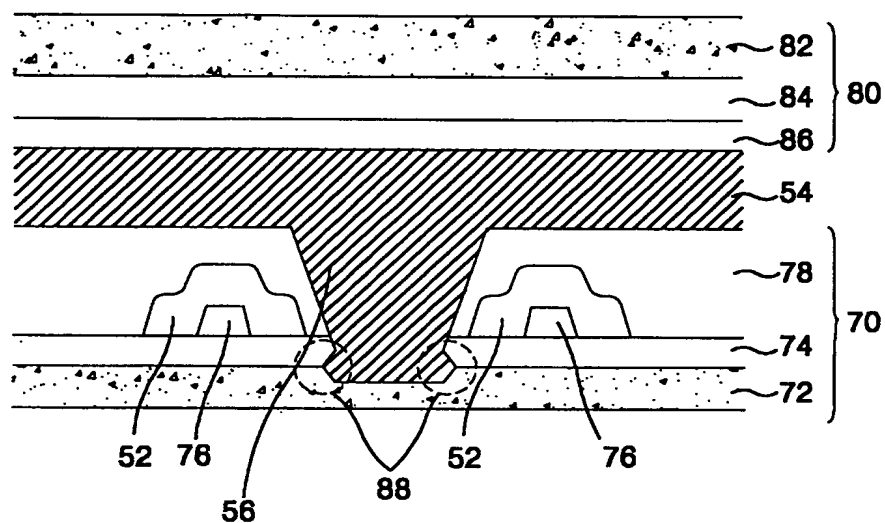
【도 5b】



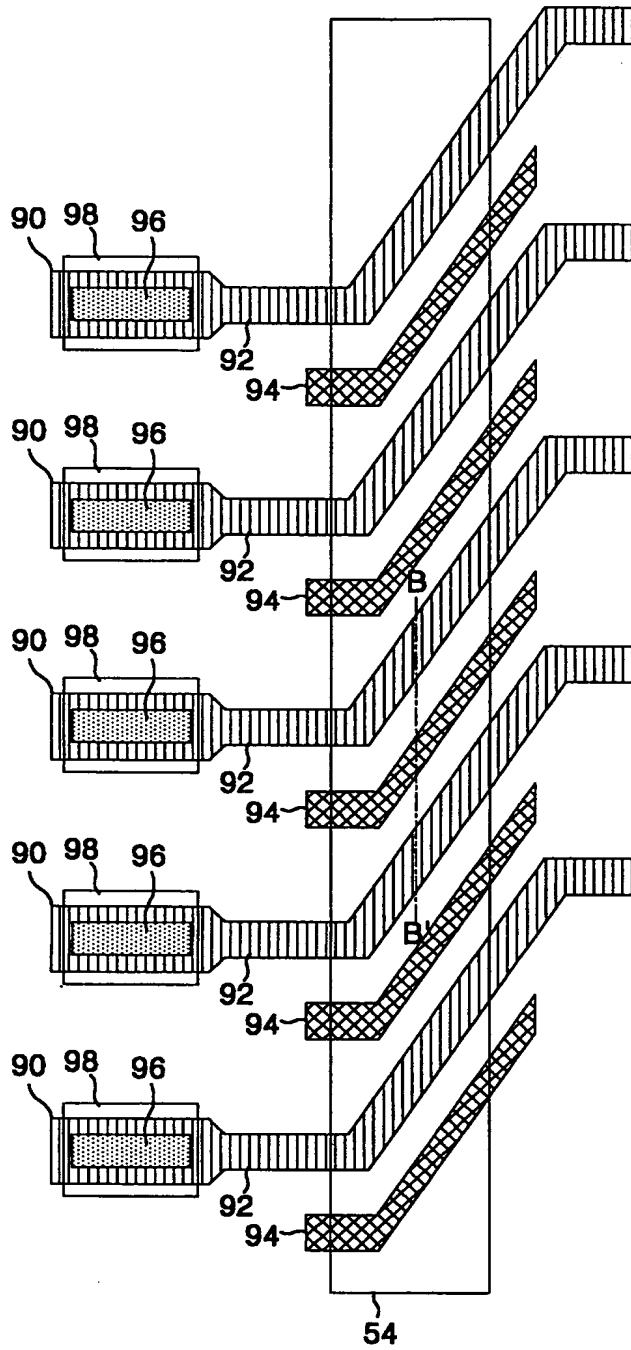
【図 6】



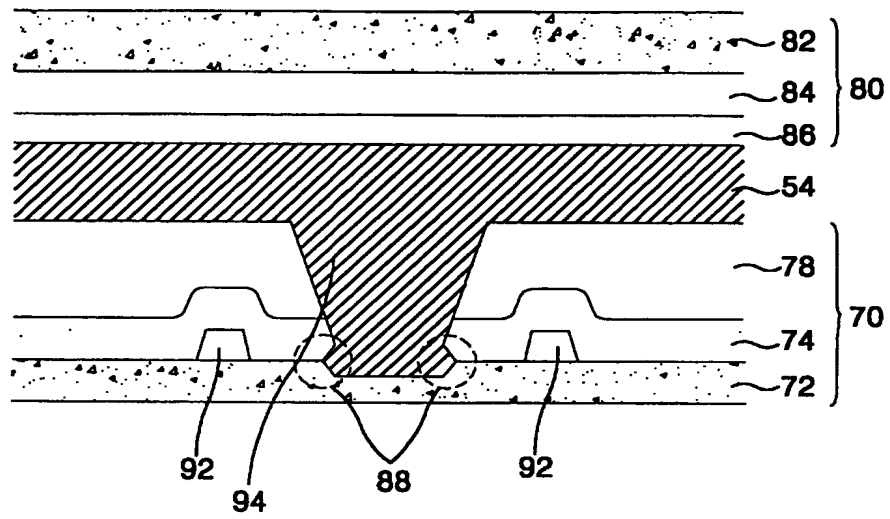
【도 7】



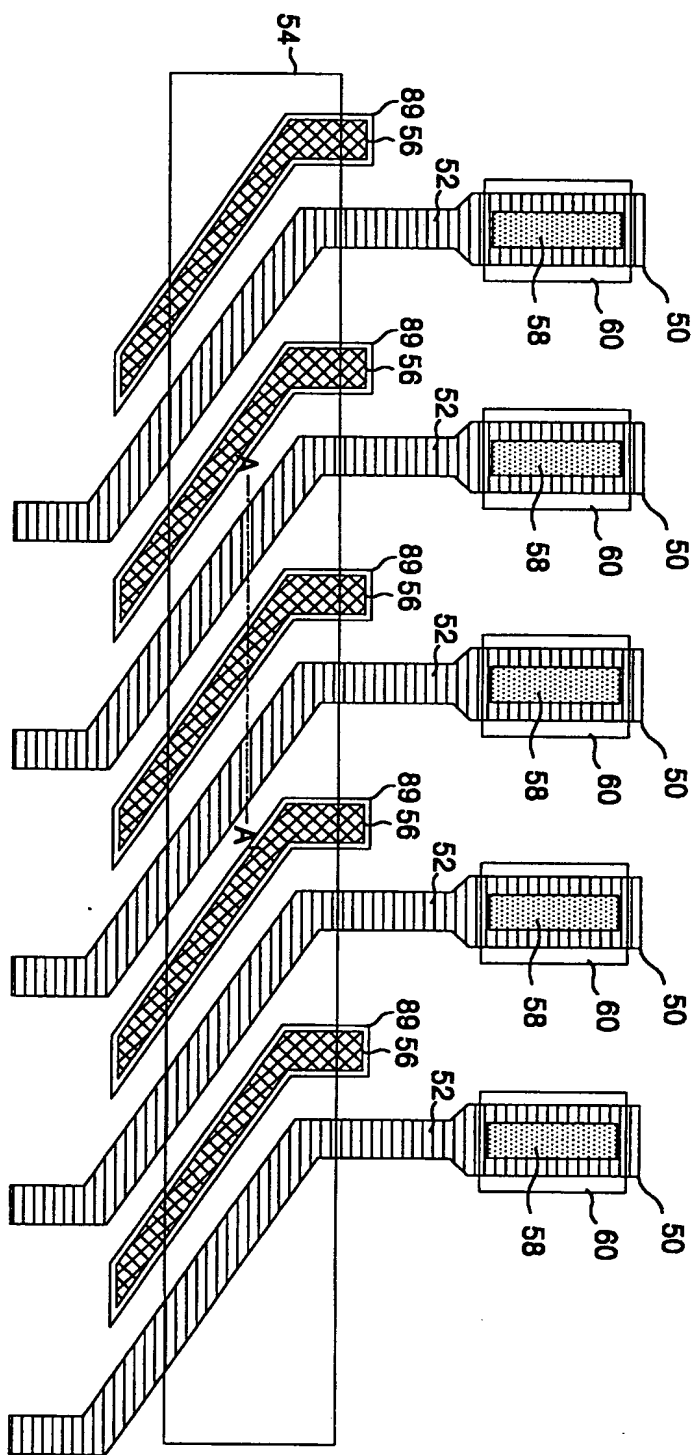
【図 8】



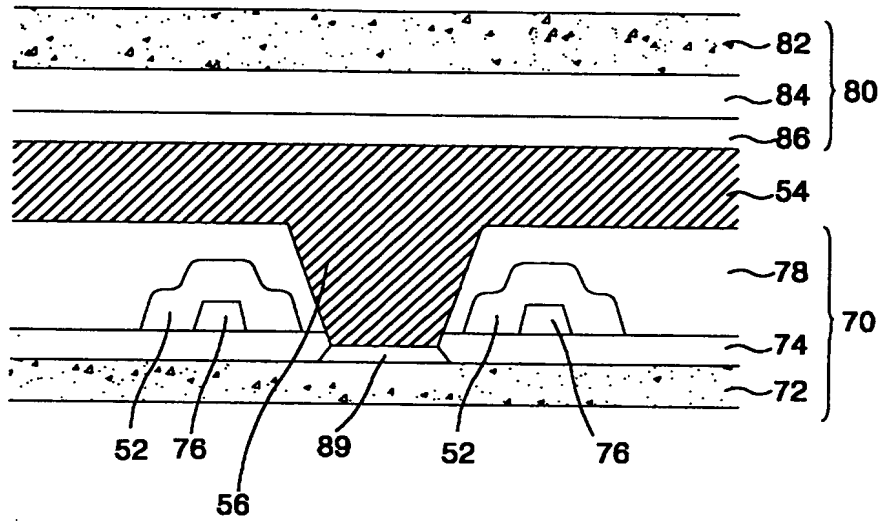
【도 9】



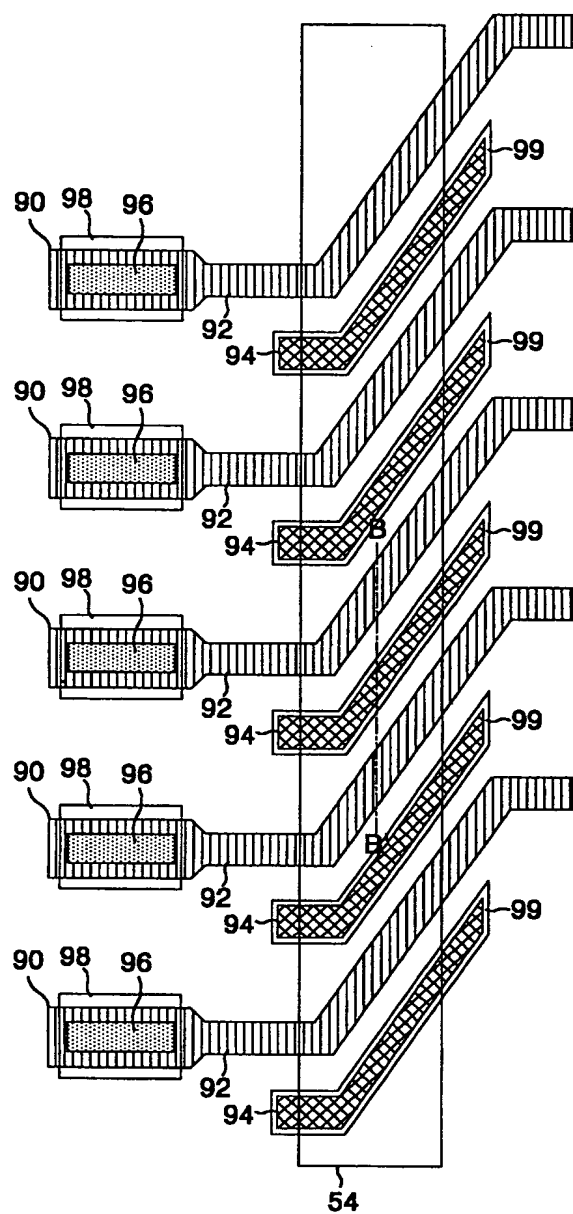
【図 10】



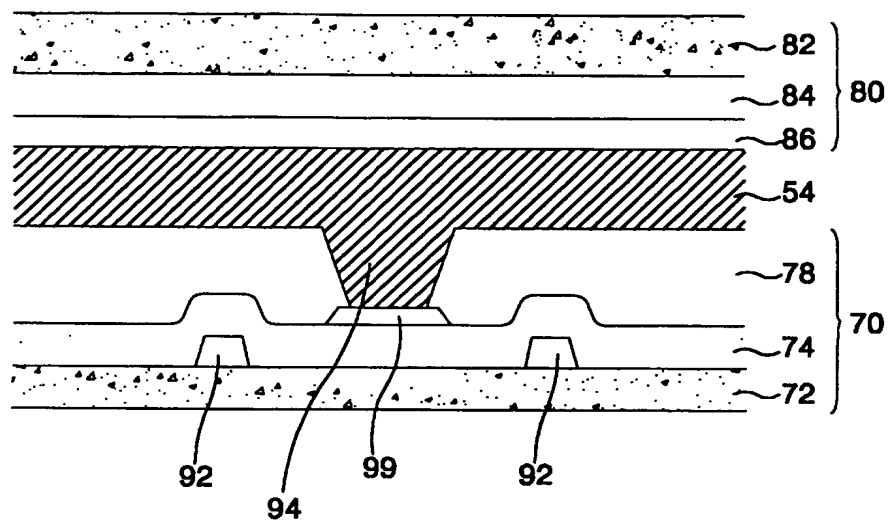
【도 11】



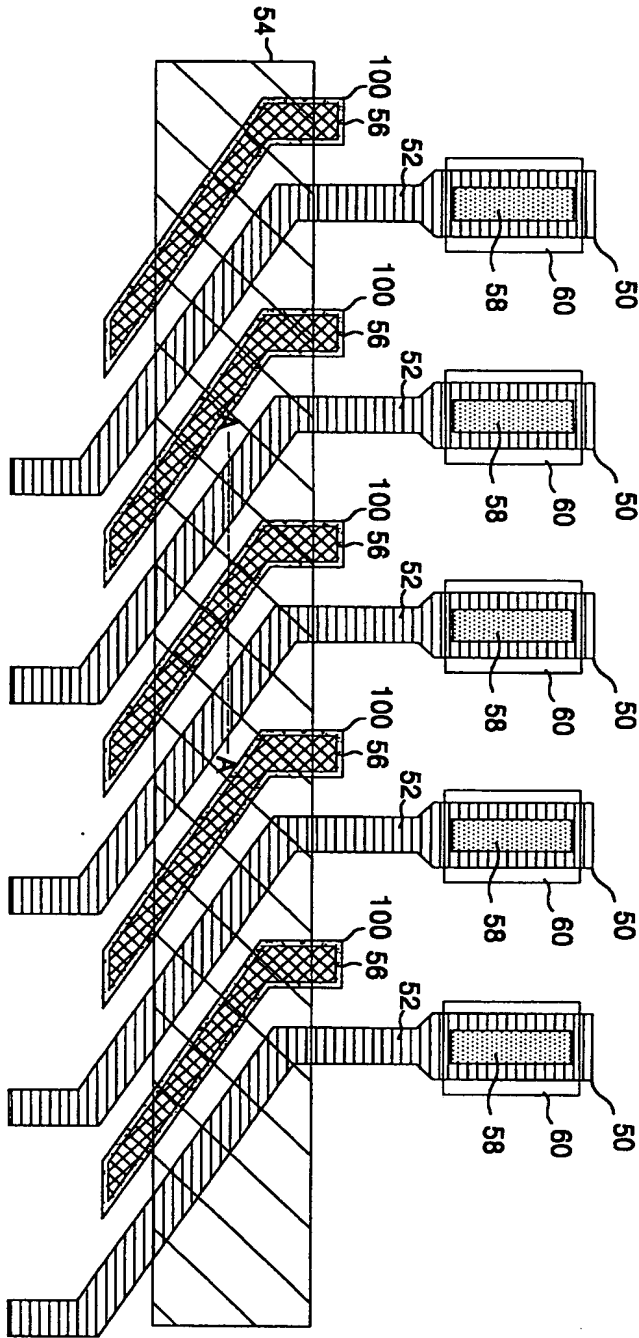
【図 12】



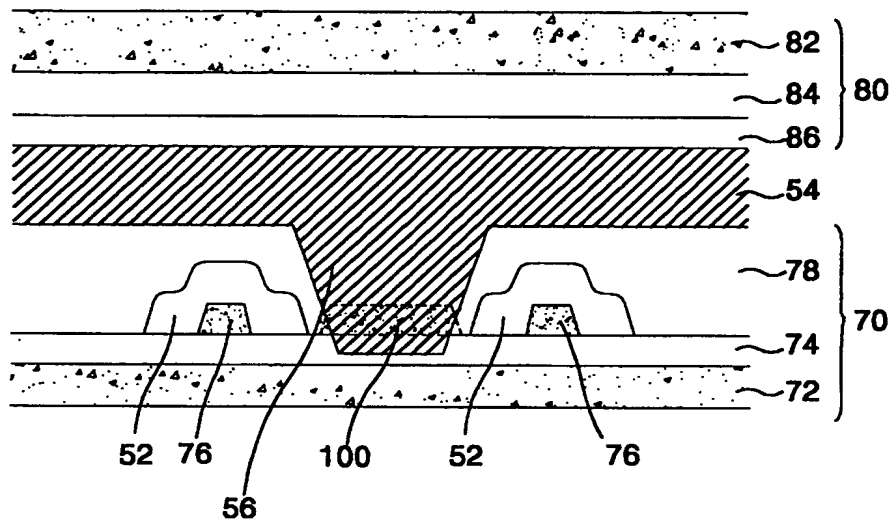
【도 13】



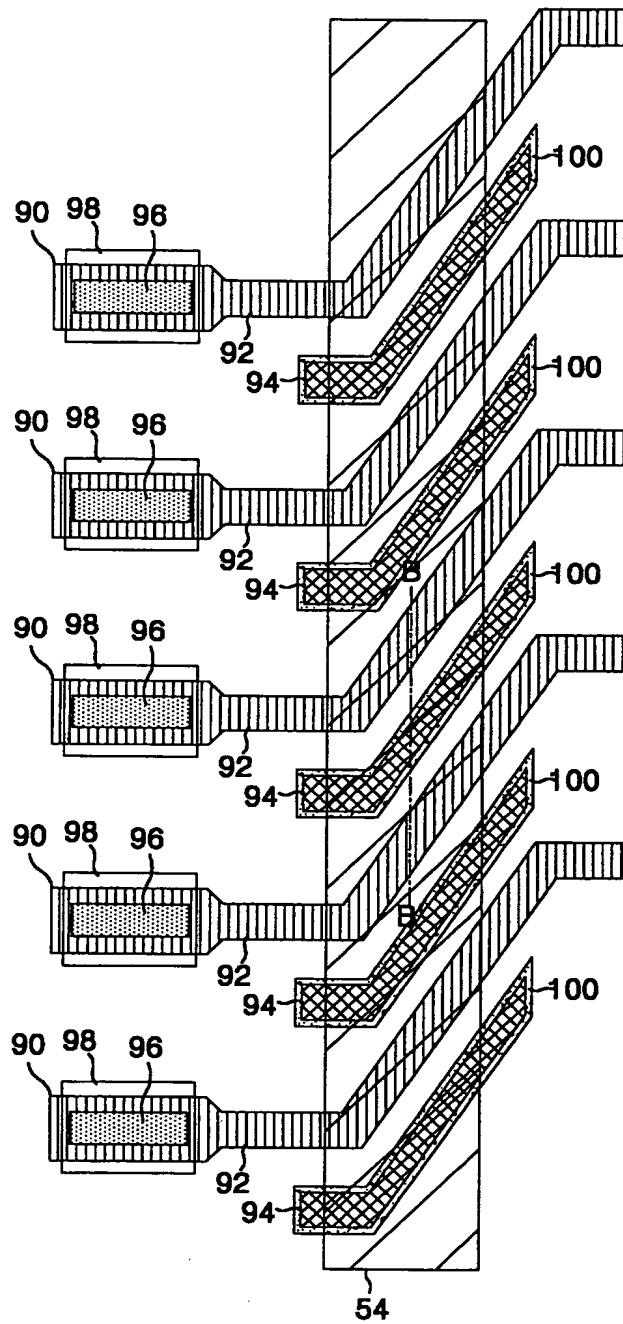
【図 14】



【도 15】



【도 16】



【도 17】

